

## 研究テーマ：LSI設計コンテスト 006 伊藤久浩

### 1、まえがき

LSI(半導体集積回路)は、データ処理、記憶する電子デバイスで、われわれの日常生活に深くかかわっている。本課題ではそのLSIを実際に設計することにより、その構造、設計方法などを実習する。

### 2、研究課題

#### ・16-bit加算器の設計

実際に16-bit加算器を設計することにより、アルゴリズムから回路構成までを実習するのが本課題の目的である。

### 3、研究方法

- ・実際に一般的な16-bit加算器に採用されているアルゴリズムでシミュレーションを実施して、使用するアルゴリズムを決定する。
- ・検証したアルゴリズムから実際に回路にするものを選択して、回路の性能を上げるために細かい調整とシミュレーションを繰り返す。
- ・十分に検討された加算アルゴリズムを回路にする。
- ・製作した回路にエラーチェックをいれて回路を修正する。
- ・実際のフレームデータにのせる。

### 4、実験と考察

#### ・採用したアルゴリズムはCLA

(Carrylookahead)であった。このアルゴリズムはシミュレーションを実施したところ、回路構成により大きい遅延(4ns)が発生していた。この遅延を軽減するために回路構成を見直し、トランジスタのサイズ等を変更し、シミュレーションを繰り返した結果2ns程度まで遅延を軽減できた。このことにより回路の大きさと遅延両方を軽減することができた。

しかし、目標遅延時間に及ばずに時間の関係で回路作成にとりかかった。

回路作成ではCADツールを使用して設計した。設計の手順を以下に示す。

- ・各部品の設計、回路チェック
- ・4bitでの加算器の設計
- ・16bit加算器への拡張
- ・VDD、GNDラインの確保

#### ・最終DRC(設計ルールチェック確認)

#### ・最終LVS(回路の正当性確認)

最後に実際にチップに実装した。実装するチップは二人で一つのチップを使用する。今年の6月に設計した加算器が完成するのでまだ実際の計算速度、消費電力、安定性などはわからない。本課題は設計した加算器の性能を競うものなのでまだ最終的な果は出ていない。

### 5、まとめ、課題

今回初めてフルカスタム設計というLSI設計をやってみて大きな充実感と達成感があった。シミュレーションでおわずに一つのもの作りができたことは大きな経験にもなった。まだ実際にチップが製造されていないので製造したチップをみるのが楽しみである。コンテストでいい結果がでるとよいが、それ以上に今回の実習はすばらしい経験になった。VLSI設計室に年末年始にかけて雪の中通いつめたのもいまでは良い思い出になっている。

### 6、参考文献

- ・CMOS集積回路 榎本忠儀 培風社
- ・集積回路工学第二授業資料