

## 自主課題研究

### LSI 設計コンテスト

4年32番 田中 寛

#### 研究目的

16 bit adder を設計し、演算速度性能を競う。実際にチップを作成する。速度性能と集積面積の2つの項目を基準にコンテストを行う。

#### 設計・試作手順

アルゴリズムと回路の検討  
回路設計とシミュレーションを行う。  
レイアウト設計をする。  
設計規則チェックを行う。

DRC(Design Rule Check) を行い、その回路が設計規則に違反していないか自動検証する。

LVS(Layout vs Schematic) を行い、作ったレイアウトが設計した回路と同じかを自動検証する。

EXT(Parasitic Extraction) を行い、レイアウトデータから寄生容量などを考慮した SPICE シミュレーション用回路データを抽出する。

設計データを VDEC へ提出する。

## 設計内容

#### アルゴリズム・回路検討

RCA はキャリーを一つずつ伝搬していく adder なので明らかに遅いことがわかる。また、ページの図より 16 bit adder を作る際には、CSA が演算速度性能もまあまあよく、集積面積は大きいものの CLA よりも小さく2つの項目をバランスよく満たしているといえるので CSA を作ることにした。

#### 回路設計・シミュレーション

実際に作った回路は、RCA と CSA で、RCA は回路検討の段階で遅いことはわかっていたがほかの回路との比較のために作った。

## 考察および検討

シミュレーションの結果から CSA は RCA と比べて約 4 倍速かった。また集積面積の点では、予想通り RCA の方が小さい面積で作れることがわかった。ある程度速い演算時間であることがシミュレーションの結果からわかり、レイアウトもうまくいったので、成功だったと思う。

## 参考文献

cmos 集積回路 (3 年前期教科書)

