

研究テーマ：フルカスタム・ロジック LSI の設計と試作

028 駒屋礼治

1、まえがき

半導体集積回路(LSI)は、現在、さまざまな機器に組み込まれていて、私たちの生活に欠かすことのできないものになっている。この LSI も年々微細化、高性能化されている。

2、研究の目的

CAD ツールを用いて、実際に16ビット加算器を設計、試作し、動作速度と面積を評価することが、この研究の目的である。

3、研究方法

- ・ アルゴリズムを決定し、回路を設計する。
- ・ シミュレーションにより回路検討を行う。
- ・ 設計した回路をもとに、レイアウトを設計する。
- ・ レイアウトが設計規則や回路に違反していないかどうかチェックする。
- ・ 設計データを VDEC に提出する。

4、実験と考察

採用したアルゴリズムは桁上げ先見加算回路 (Carry Lookahead Adder , CLA) にした。遅延時間を短くするため、回路構成を工夫し、シミュレーシ

ョンを繰り返した。同じアルゴリズムを用いても、回路構成によって、性能が大きく変化することがわかった。

5、反省点、感想

- ・ レイアウト設計では、初めのうちは無計画に設計してしまい、効率が悪くなってしまった。
- ・ また、動作速度を向上させるのか、面積を小さくするのかがあいまいになってしまいどちらも中途半端になってしまった。
- ・ 実際にものを作るという体験をして、おもしろかった。

6、参考文献

- ・ CMOS 集積回路 榎本忠儀 培風社