

研究テーマ: LSI 設計コンテスト

名列番号 049 中山雅文

1、まえがき

LSI (Large Scale Integration) とは、データを計算、処理記憶する電子デバイスの中で、今日の日常生活に深く関わっている。本課題ではそのLSIを実際に設計することにより、LSIの構造、設計方法などを実習する。

2、研究課題

CAD ツールを用いて 16bit 加算器を設計し、演算速度性能と回路面積の大きさを競う。また、実際にチップをフルカスタムでレイアウト設計し、試作する。

3、研究方法

- 1、16bit 加算器で用いる加算アルゴリズムを決定する。
- 2、論理回路、要素回路、全体回路を設計、シミュレーションを行い、出力が真理値表と一致していることを確認する。
- 3、各トランジスタのゲート幅を変えながら繰り返しシミュレーションを行い、最適化する。
- 4、設計した回路を元に、レイアウト設計を行う。
- 5、設計規則に違反していないか自動検証する。(DRC)
- 6、設計したレイアウトが設計した回路と同じかどうか自動検証する。(LVS)
- 7、レイアウトで全体回路を設計し、

16bit 加算器レイアウトの面積を計測する。

8、設計データを VDEC へ提出

4、研究結果

今回採用したアルゴリズムは二進桁上げ先見加算器(Binary Carry Look-ahead Adder: 以下 BCLA)である。このアルゴリズムで 16bit 加算器を構成してシミュレーションしたところ、初期状態の遅延時間はクリティカルパスで 1.815nsec であった。

ここから、一つのトランジスタのゲート幅の最大値を 50um と定め、各出力ができるだけ遅延しないように最適化を行ったところ、クリティカルパスの遅延時間が 1.51nsec となった。

この回路を元にレイアウトを設計した結果、面積は 103959.625um² となった。

5、まとめと今後の課題

レイアウトの面積が大きくなった。

面積が大きくなった理由は、VDD、GND の高さをそろえ、ゲート幅が大きい回路と、小さい回路を同じ高さに配置したので、回路が密になっていなかったからである。これは、ゲート分割の数を多くすれば改善できたが、全体回路を作成した後に気づいたので、修正できなかった。

参考文献

CMOS 集積回路 榎本忠儀(著) 培風館