

研究テーマ：フルカスタム・ロジック LSI の設計と試作

052 野手翔太

1. まえがき

我々の日常生活において、携帯電話・デジタルカメラをはじめとする様々なデジタル電化製品の急激な普及が進むにつれ、マイクロプロセッサ(microprocessor: μP)およびデジタル信号処理プロセッサ(Digital Signal Processor: DSP)という言葉が頻繁に耳にするようになってきた。

そこで、今後の VLSI デザインの中心であると考えられている CMOS 回路について、そのデバイス構造を理解するため、16bit 加算回路を設計し、性能評価を行う。

2. 研究課題

16bit 加算回路として、2進桁上げ先見加算回路(Binary Lookahead Carry Adder: BLCA)を選択し、CAD ツールを用いたフルカスタムで BLCA の設計し試作した。

また、演算速度・回路面積の点で性能評価を行った。

3. 研究方法

1. アルゴリズムと回路の検討を行う。
2. 回路規模を削減し、回路設計を行う。
3. 回路シミュレーションを行う。
4. レイアウト設計を行う。
5. DRC
6. LVS
7. 設計データを提出

4. 実験・考察

設計する加算アルゴリズムは BLCA を選択した。BLCA の回路規模を削減すると、トランジスタ数は削減する前後で約 14% 削減できた。

シミュレーションを行い、クリティカルパスを中心に各セルの出力につくファンアウト数や負荷容量を考慮に入れて、MOS のサイズを調節していった。その結果、最終的にキャリー信号 C15 の遅延時間は 1.574nsec から 1.124nsec に変化、すなわち、約 29%改善し、和信号 S15 の遅延時間は 1.815nsec から 1.418nsec に変化、すなわち、約 22%改善した。

シミュレーション後の BLCA をレイアウト設計した。その際、なるべく面積を抑えるように、基本ゲートの配置を工夫しながら行った。面積は約 43000 μm^2 となった。

5. まとめと今後の課題

自分の手で一から加算器を設計することにはかなりの労力と時間がかかった。その代わりに、手を加えれば加えるだけいいものになっていくことも実感でき、やりがいを感じた。もっと時間があれば、回路シミュレーションを行い、もっと高速化を行いたかったと思った。実際にチップができあがってきて、性能を評価するのが楽しみである。

参考文献

CMOS 集積回路 榎本忠儀(著)培風館